

Výzkumný a zkušební letecký ústav, a.s.**Beranových 130, 199 00 Praha - Letňany**

OR : Městský soud v Praze, oddíl B, vložka 446

IČO: 00010669 DIČ: CZ00010669

Bankovní spojení : [REDACTED]

OBJEDNÁVKA

Číslo : OV4230230/2

Zakázka : Z40320

Středisko : 4000

Počet listů : 1

BrnoLogic, spol. s r.o.**Božetěchova 1/2
61200 Brno**

Vyřizuje / linka: [REDACTED]

Praha - Letňany**28.03.2023**

P.č.	Množství / M.j.	Specifikace	Cena bez DPH
1	1,00 -	<p>Objednáváme u vás: LVDS pro FPGA Vývoj obecně použitelného FPGA IP pro xScape senzor od Simera Sense s jeho otestováním na technologii Xilinx Zynq, podle přiložené nabídky.</p> <p>Termín dodání : 31.07.2023 Platební podmínky : bankovním převodem Dodací podmínky : dodat na adresu firmy /7.00 - 13.00 h/ Na daňovém dokladu (dodacím listu) uvádějte prosím č. naší objednávky. Žádáme Vás o potvrzení přijaté objednávky včetně termínu dodání a ceny. V případě vystavení zálohové faktury Vás žádáme o zaslání daňového dokladu o přijaté platbě (dle zákona o DPH č.235/2004 Sb., §26).</p> <p>FAKTURY PROSÍM ZASÍLEJTE EMAILEM NA: [REDACTED]</p> <p>VZLÚ je povinným subjektem dle zákona č. 340/2015 Sb. o registru smluv. Smlouva/objednávka, mimo části podléhající obchodnímu tajemství, bude v souladu s tímto zákonem uveřejněna v registru smluv. Smlouva/objednávka nabývá platnosti dnem podpisu oběma smluvními stranami a účinnosti dnem uveřejnění v registru smluv. Objednatel se zavazuje tuto smlouvu/objednávku bez zbytečného odkladu po jejím podpisu oběma smluvními stranami, zaslat správci registru smluv k uveřejnění</p>	189 600,00 Kč
Razítko a pod	[REDACTED]	Razítko a podpis dodavatele	[REDACTED]

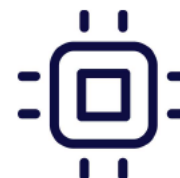
Telefon : [REDACTED]

Fax: [REDACTED]

e-mail: [REDACTED]

BrnoLogic, spol. s r.o.

www.BrnoLogic.com, [REDACTED]



Božetěchova 1/2
612 00 Brno
Czech Republic

IČO / Company ID : 119 00 865
DPH / VAT ID / EORI : CZ 119 00 865
[REDACTED]

NABÍDKA / OFFER č. / no.: 20232303-001

Vážení,

nabízíme Vám vývoj obecně použitelného FPGA IP pro xScape senzor od Simera Sense s jeho otestováním na technologii Xilinx Zynq. Rozpis jednotlivých prováděných činností:

- 1. Studium datového rozhraní senzoru zejména z dodané dokumentace - 6 hod,*
- 2. Kontrola a přizpůsobení dodaných VHDL zdrojových kódů dle požadavků na přenosy - 16 hod,*
- 3. Návrh a implementace komponenty (FPGA IP) pro přenos dat ze senzoru, tvorba dokumentace - 24 hod,*
- 4. Testy komponenty pomocí vytvořených simulací za účelem ověření souladu s definovaným rozhraním - 16 hod,*
- 5. Tvorba testovacího firmware FPGA, tj. připojení komponenty do vytvořeného testovacího designu společně s vybraným DMA řadičem (z knihovny volně dostupných IP cores od AMD/Xilinx), nastavení constrainů FPGA - 12 hod,*
- 6. Návrh a implementace obsluhy vybraného DMA řadiče - 32 hod,*
- 7. Příprava OS, testy DMA přenosů do paměti OS, úprava dat na požadovaný formát - 16 hod,*
- 8. Ověření správnosti funkce s emulátorem v testovacím firmware, ladění synchronizace komunikace - 24 hod,*
- 9. Tvorba finálního firmware FPGA, tj. připojení dalších existujících komponent FPGA dle požadavků objednatele (N x UART, atd.) - 8 hod a*
- 10. Ověření správnosti funkce ve finálním designu - 4 hod.*

Termín vyhotovení: do 3 měsíců od objednání pro body 1 až 7 výše, zbytek dle dostupnosti emulátoru a/nebo finální hardwarové platformy, nejpozději však do 2 měsíců od jejich dodání.

Platební podmínky: 1/2 ceny předem zálohou.

Součástí ceny je i převod všech práv k vzniklým zdrojovým kódům na objednatele.

Celková cena za tento námi nabízený vývoj FPGA IP je 189 600,- CZK bez DPH.

Vystaveno v Brně dne 23. 3. 2023 pro Výzkumný a zkušební letecký ústav, a. s.
[REDACTED]

Nabídka platná 30 dnů od vystavení pokud není uvedeno jinak.